
(19) KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11)Publication number: 1020020002755 A

(43)Date of publication of application: 10.01.2002

(21)Application number: 1020000037041

(22)Date of filing: 30.06.2000

(71)Applicant:

HYNIX SEMICONDUCTOR
INC.

(72)Inventor:

SHIN, DONG U

(51)Int. Cl.

H01L 21/8242

(54) METHOD FOR MANUFACTURING CAPACITOR OF SEMICONDUCTOR DEVICE

(57) Abstract:

PURPOSE: A method for manufacturing a capacitor of a semiconductor device is provided to efficiently control oxygen diffusion to a lower electrode, by forming a TiN layer having a dense nano crystallization and by forming a TaN layer of excellent oxide resistance on an interface between the TiN layer and a Ta2O5 layer.

CONSTITUTION: The first TiN layer is formed on a semiconductor substrate having a predetermined structure, and is patterned to form a lower electrode.

A Ta-O-N layer is formed on the resultant structure including the lower electrode. A rapid thermal process is performed in a NH3 atmosphere to densify the first TiN layer, and the TaN layer is formed by using the Ta-O-N layer. The Ta2O5 layer is formed on the resultant structure. The second TiN layer and the third TiN layer are formed on the resultant structure, and are patterned to form an upper electrode.

&copy; KIPO 2002

Legal Status

Date of request for an examination ()

Notification date of refusal decision ()

Final disposal of an application (application)

Date of final disposal of an application ()

Patent registration number ()

Date of registration ()

Number of opposition against the grant of a patent ()

Date of opposition against the grant of a patent ()

Number of trial against decision to refuse ()

Date of requesting trial against decision to refuse ()

Date of extinction of right ()

특 2002-0002755

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

| | | |
|--|---|------------------------------|
| (51) Int. Cl. ⁷ H01L 21/8242 | (11) 공개번호 (43) 공개일자 | 특2002-0002755 2002년01월10일 |
| (21) 출원번호 (22) 출원일자 | 10-2000-0037041 2000년06월30일 | |
| (71) 출원인 | 주식회사 하이닉스반도체 | 박종섭 |
| (72) 발명자 | 경기 이천시 부발읍 아미리 산136-1 신동우 | |
| (74) 대리인 | 경기도이천시고담동산72-1현대전자기술사104동105호 신영무, 최승민 | |
| 심사청구 : 있음 | | |
| (54) 반도체 소자의 캐패시터 제조 방법 | | |

요약

본 발명은 반도체 소자의 캐패시터 제조 방법에 관한 것으로, TiN막을 Ta₂O₅막의 전극 물질로 사용하였을 때 발생하는 전극 산화 문제를 해결하기 위해 결정 조직이 치밀한 나노 결정으로 구성되고 내산화성이 우수한 TaN막을 TiN막과 Ta₂O₅막의 계면에 형성함으로써 하부 전극으로의 산소 확산을 효율적으로 억제할 수 있는 반도체 소자의 캐패시터 제조 방법이 제시된다.

도표도

도2

색인어

캐패시터, TiN 하부 전극, TaN막, 산소 확산

명세서

도면의 간단한 설명

도 1은 깃스 자유 에너지 그래프.

도 2(a) 내지 도 2(c)는 본 발명에 따른 반도체 소자의 캐패시터 제조 방법을 설명하기 위해 순서적으로 도시한 소자의 단면도.

<도면의 주요 부분에 대한 부호의 설명>

- | | |
|---------------------------------------|---------------|
| 11 : 반도체 기판 | 12 : 절연막 |
| 13 : 플러그 | 14 : 오믹 콘택층 |
| 15 : 확산 방지막 | 16 : 제 1 TiN막 |
| 17 : Ta-O-N막 | 18 : TaN막 |
| 19 : Ta ₂ O ₅ 막 | 20 : 제 2 TiN막 |
| 21 : 제 3 TiN막 | |

발명의 상세한 설명

발명의 목적

본 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자의 캐패시터 제조 방법에 관한 것으로, 특히 TiN막을 Ta₂O₅막의 전극 물질로 사용하였을 때 발생하는 전극 산화 문제를 해결하기 위해 결정 조직이 치밀한 나노 결정으로 구성되고 내산화성이 우수한 TaN막을 TiN막과 Ta₂O₅막의 계면에 형성함으로써 하부 전극으로의 산소 확산을 효율적으로 억제할 수 있는 반도체 소자의 캐패시터 제조 방법에 관한 것이다.

현재 256M DRAM 이상의 고집적 소자에서 셀내 캐패시터의 유전체막으로 적용하고자하는 Ta₂O₅막은 유전율이 25 정도로 기존의 유전체막으로 사용되는 유전율이 7 정도인 SiO₂막보다 유전율이 3~4배정도 높으나, 실제 캐패시터에 적용함에 있어 문제점을 노출시키고 있다. 즉, Ta₂O₅막의 증착 및 후속 열처리 과정에서 하부 전극인 폴리실리콘막과의 계면 반응을 통해 SiO₂ 기생 캐패시터를 형성함으로써, 전체 캐패시턴스의 값을 크게 저하시킨다.

CVD 방법으로 Ta₂O₅막을 증착할 경우 산소를 포함하고 있는 근원 물질인 Ta(O(C₂H₅))₅과 반응 가스로 추가 되는 O₂가 하부 전극인 폴리실리콘막을 산화시키게 된다. 그리고, Ta₂O₅막을 형성한 후 저온 N₂O 플라즈마 처리와 600°C ~ 800°C의 온도에서 1시간 동안 실시하는 열처리 공정을 실시할 때 활성화된 산소가 하부 전극과의 반응을 보다 촉진시킨다. 이와 같은 하부 전극의 산화에 의한 전체 캐패시턴스 값의 감소를 최소화하기 위해 현재 폴리실리콘막으로 하부 전극을 형성한 후 계면층으로 SiN막을 50Å 정도의 두께로 형성하여 산소의 하부 전극으로의 확산 방지막으로 사용하고 있다. 그러나, 50Å 정도의 얇은 SiN막은 산소에 대한 확산 방지막의 역할을 충분히 하지 못하여 SiN막 하부의 폴리실리콘막이 산화되어 SiO₂막이 여전히 형성되는 실정이다. 이를 방지하기 위해 SiN막의 두께를 증가시켜 산소의 확산에 대한 저항력을 키우려는 시도는 유전 상수값이 7~8 정도인 SiN층이 두께가 증가함에 따라 전체 SiN막 및 Ta₂O₅막의 캐패시턴스를 급속히 감소시키게 되기 때문에 한계가 존재하게 되었다. 따라서, 현재에 이르러 산소에 대한 저항력이 크고, 인가된 전압에 따라 공핍 캐패시턴스(Depletion Capacitance) 현상이 발생하지 않는 내화 금속(Refractory Metal)을 캐패시터의 하부 전극으로 사용하려는 시도를 하게 되었다. 이중 TiN막은 녹는점이 약 3000°C 정도로 높고, 일반적인 금속 배선 공정의 확산 방지막으로 사용되고 있으며, 저항값이 수십 micro ohm-cm 수준으로서 도핑한 실리콘이 수백 micro ohm-cm 인것에 비하여 상당히 우수하다. 하지만, 산소 분위기에서 쉽게 산화되는 단점이 있다. 도 1에서 보는 바와 같이 Ta₂O₅막과 접합하고 있을 때, 414°C 이상에서는 반응의 Gibbs 자유 에너지(Gibbs Free Energy)가 음의 값을 가지므로써, TiO₂막으로 산화할 수 있음을 알 수 있다.

본 발명이 이루고자하는 기술적 과제

본 발명의 목적은 캐패시터의 전체 캐패시턴스값을 저하시키지 않는 반도체 소자의 캐패시터 제조 방법을 제공하는데 있다.

본 발명의 다른 목적은 하부 전극의 산화를 방지하여 전체 캐패시턴스의 열화 현상과 불균일한 계면 생성물에 의한 누설 전류의 증가를 방지할 수 있는 반도체 소자의 캐패시터 형성 방법을 제공하는데 있다.

본 발명의 또다른 목적은 유전체막의 두께를 증가시켜 파괴 전압을 증가시킬 수 있고, 하부 전극의 면적을 증가시켜 캐패시턴스 값을 증가시킬 수 있는 반도체 소자의 캐패시터 제조 방법을 제공하는데 있다.

본 발명에서는 캐패시터의 유전체막으로 Ta₂O₅막을 사용하는 경우 하부 전극을 TiN막과 TaN막의 이중 구조로 형성한다. 즉, TiN막을 Ta₂O₅막의 상하부 전극으로 사용하는 MIN 구조에서 TiN막의 산화를 방지할 목적으로 TaN막을 TiN막 하부 전극과 Ta₂O₅막과의 계면에 형성한다.

아래 [표 1]에 나타낸 바와 같이 TaN막은 TiN막보다 녹는점이 높고, 열안정도가 크기 때문에 Ta₂O₅막과의 계면에서의 누설 특성이 좋으며, 결정립 크기가 30~40Å 정도인 나노 결정(nano-crystalline)으로 매우 치밀한 조직을 가진 것으로 알려져 있다. 도 1에서 보는 바와 같이 Ta₂O₅막과 계면을 형성하였을 경우 2000K 정도의 고온 열처리를 가정할 때에도 반응의 Gibbs 자유 에너지는 양의 값을 유지하여 안정한 계면을 형성할 것을 예측할 수 있다.

[표 1]

| | TiN | TaN |
|-------------------|-----------------|-------------------|
| 녹는점 | ~3000°C | ~3400°C |
| 일함수 값 | ~5.1eV | ~5.4eV |
| 결정립 크기 | 수십~수백 Å | 30~40 Å |
| 비저항 값 | 수십 micro ohm-cm | ~200 micro ohm-cm |
| 결정 구조 | NaCl | NaCl |
| Lattice Parameter | 4.33 Å | 4.23 Å |

본 발명은 이러한 TaN막을 TiN막을 증착하여 하부 전극을 형성한 후에 Ta₂O₅막을 증착하는 과정에서 형성한다. TiN막을 증착한 후 Ta₂O₅막을 증착할 때 Ta₂O₅막의 근원 물질인 Ta(OC₂H₅)₅만을 흘려서 TiN막의 표면에 Ta-O-N막을 얇게 형성하고 NH₃ 분위기에서 급속 열처리(RTN) 공정을 실시한다. 이 과정을 통하여 TiN막을 조밀화시키고, TiN 산화 방지막을 형성시킨다. 이때, 초기 Ta-O 막막 형성시에는 Ta₂O₅막의 근원 물질만 유입시켜서 형성된 막막의 산소함유량을 최소화시킨다.

이와 같은 방법으로 TiN막과 TaN막의 이중 하부 전극을 형성한 후 Ta₂O₅막을 Ta(OC₂H₅)₅과 반응 기체인 O₂를 사용하여 증착한다. Ta₂O₅막을 형성한 후 RTN 처리를 함으로써 TaN막을 형성하고 그위에 TiN막을 증착하여 상부 전극을 형성한다. 이와 같이 TiN막을 캐패시터의 전극으로 사용하는 구조에서 TiN막과 유전체막인 Ta₂O₅막 사이에 산소에 대한 확산 방지막의 역할로서 TaN막을 형성하게 되면, 전극의 산화 방지 효과에 의해 전체 캐패시터스가 향상된다. 이에 의해 Ta₂O₅막의 두께도 상향 조절이 가능해져, Ta₂O₅막의 파괴 전압(Breakdown Voltage)을 증가시킬 수 있다. 그리고, 고집적 소자에서 셀내 캐패시터단의 스페이서 마진(Spacer Margin)을 보다 안정적으로 확보할 수 있다. 셀내 캐패시터를 일정량 이상으로 유지하기 위해 전극의 면적을 넓히는데 적용하는 HS6 기술을 배제하여 캐패시터간의 전기적 통전(Shortage)의 위험을 감소시킬 수 있다.

본 발명의 구성 및 작용

본 발명에 따른 반도체 소자의 캐패시터 제조 방법은 소정의 구조가 형성된 반도체 기판 상부에 제 1 TiN막을 형성한 후 패터닝하여 하부 전극을 형성하는 단계와, 상기 하부 전극을 포함한 전체 구조 상부에 Ta-O-N막을 형성하는 단계와, NH₃ 분위기에서 급속 열처리 공정을 실시하여 상기 제 1 TiN막을 조밀화시키고, 상기 Ta-O-N막으로 TaN막을 형성하는 단계와, 전체 구조 상부에 Ta₂O₅막을 형성하는 단계와, 전체 구조 상부에 제 2 TiN막 및 제 3 TiN막을 형성한 후 패터닝하여 상부 전극을 형성하는 단계를 포함하여 이루어진 것을 특징으로 한다.

이하, 첨부된 도면을 참조하여 본 발명을 상세히 설명하고자 한다.

도 2(a) 내지 도 2(c)는 본 발명에 따른 반도체 소자의 캐패시터 제조 방법을 설명하기 위해 순서적으로 도시한 소자의 단면도이다.

도 2(a)를 참조하면, 소정의 구조가 형성된 반도체 기판(11) 상부에 절연막(12)을 형성한다. 절연막(12)의 소정 영역을 식각하여 반도체 기판(11)의 소정 영역을 노출시키는 콘택홀을 형성한다. 콘택홀의 내부에 플러그(13), 오믹 콘택층(14) 및 확산 방지막(15)을 전층시켜 형성하여 콘택홀을 매립한다. 전체 구조 상부에 산화막(도시안됨)을 형성한 후 패터닝하여 하부의 콘택홀 부위를 노출시킨다. 전체 구조 상부에 제 1 TiN막(16)을 형성한 후 패터닝하고 산화막을 제거하여 하부 전극을 형성한다. 제 1 TiN막(16)은 TiCl₄과 NH₃를 근원 기체로 사용하는 CVD 방법을 이용하여 형성한다. 하부 전극을 포함한 전체 구조 상부에 Ta-O-N막(17)을 형성한다. Ta-O-N막(17)은 비활성 가스를 운반 가스로 사용하여 Ta₂O₅막의 근원 물질로 사용되는 Ta(O(C₂H₅))₅를 챔버내로 유입시켜 10~50 Å 정도의 두께로 형성한다.

도 2(b)를 참조하면, NH₃ 분위기에서 급속 열처리 공정을 실시하여 하부의 제 1 TiN막(16)을 조밀화시키고, TaN막(18)을 형성한다. 이때, 반응 온도는 600 내지 800°C로 한다. TaN막(18)은 TaCl₅와 NH₃ 기체를 이용한 CVD 방법으로 직접 형성할 수도 있으며, TaN막(18)은 Ta-O-N막(17)을 NH₃ 분위기에서 플라즈마 처리를 실시하여 형성할 수도 있다. 전체 구조 상부에 Ta₂O₅막(19)을 형성한다. Ta₂O₅막(19)은 Ta(OC₂H₅)₅를 근원 물질로 하고, O₂를 반응 가스로 하는 MOCVD 방법을 이용하여 100~120 Å의 두께로 형성한다. 또한, Ta₂O₅막(19)은 막의 조밀화를 위해 2단계로 형성할 수 있는데, 50~60 Å 정도의 두께로 1차 형성하고, N₂와 O₂의 혼합 분위기에서 플라즈마 처리를 실시한 후 50~60 Å 정도의 두께로 2차 형성한다. 형성된 Ta₂O₅막(19)의 산소 공핍량을 보충하기 위해서 N₂와 O₂의 혼합 분위기에서 저온 플라즈마 처리를 실시하고, 결정화시키기 위해 650°C 온도의 N₂ 분위기에서 급속 열처리 공정을 실시한다. 한편, Ta₂O₅막(19)을 다시 NH₃ 분위기에서 급속 열처리 공정을 실시하여 Ta₂O₅막의 표면을 질화시킴으로써 TaN막을 형성할 수도 있다.

도 2(c)를 참조하면, 전체 구조 상부에 제 2 TiN막(20)을 형성한다. 제 2 TiN막(20)은 CVD 방법으로 형성하는데, $TiCl_4$ 와 NH_3 를 근원 가스로 하여 500~700°C의 온도에서 200~500Å의 두께로 형성한다. 그리고, 제 2 TiN막(20) 상부에 제 3 TiN막(21)을 형성한다. 제 3 TiN막(21)은 PVD 방법을 이용하여 200~500Å의 두께로 형성한다.

발명의 효과

상술한 바와 같이 본 발명에 의하면 다음과 같은 효과가 있다.

첫째, TiN막을 Ta_2O_5 막의 전극 물질로 사용하였을 때 발생하는 전극 산화 문제를 해결하기 위해 결정 조직이 치밀한 나노 결정으로 구성되고 내산화성이 우수한 TaN막을 TiN막과 Ta_2O_5 막의 계면에 형성함으로써 하부 전극인 제 1 TiN막으로의 산소 확산을 효율적으로 억제할 수 있다.

둘째, TaN막은 Ta_2O_5 막과 열적으로 안정하기 때문에 후속 열처리 공정을 실시할 때 계면 생성물이 발생하는 것을 방지할 수 있다.

셋째, 계면에서의 전극 산화에 의해 발생하는 전체 캐패시턴스의 열화 현상과 불균일한 계면 생성물에 의한 누설 전류의 증가 현상들을 효율적으로 방지할 수 있다.

넷째, 높은 캐패시턴스값을 유지할 수 있으므로, 기존에 하부 전극의 면적을 증가시켜 캐패시턴스 값을 증가시키는 방법을 채택하지 않음으로써, 캐패시터 사이의 스페이스 마진을 보다 안정적으로 확보할 수 있다.

(5) 청구의 범위

청구항 1. 소정의 구조가 형성된 반도체 기판 상부에 제 1 TiN막을 형성한 후 패터닝하여 하부 전극을 형성하는 단계와,

상기 하부 전극을 포함한 전체 구조 상부에 Ta-O-N막을 형성하는 단계와,

NH_3 분위기에서 급속 열처리 공정을 실시하여 상기 제 1 TiN막을 조밀화시키고, 상기 Ta-O-N막으로 TaN막을 형성하는 단계와,

전체 구조 상부에 Ta_2O_5 막을 형성하는 단계와,

전체 구조 상부에 제 2 TiN막 및 제 3 TiN막을 형성한 후 패터닝하여 상부 전극을 형성하는 단계를 포함하여 이루어진 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

청구항 2. 제 1 항에 있어서, 상기 제 1 TiN막은 $TiCl_4$ 와 NH_3 를 근원 기체로 사용하는 CVD 방법을 이용하여 형성하는 것을 특징으로 하는 반도체 소자의 캐패시터 형성 방법.

청구항 3. 제 1 항에 있어서, 상기 Ta-O-N막은 비활성 가스를 운반 가스로 사용하여 $Ta(O(C_2H_5)_2)_5$ 를 챔버 내로 유입시켜 10 내지 50Å의 두께로 형성하는 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

청구항 4. 제 1 항에 있어서, 상기 NH_3 분위기에서의 급속 열처리 공정은 600 내지 800°C의 온도에서 실시하는 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

청구항 5. 제 1 항에 있어서, 상기 TaN막은 Ta-O-N막을 형성하지 않고 $TaCl_5$ 와 NH_3 기체를 이용한 CVD 방법으로 형성하는 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

청구항 6. 제 1 항에 있어서, 상기 TaN막은 상기 Ta-O-N막을 NH_3 분위기에서 플라즈마 처리를 실시하여 형성하는 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

청구항 7. 제 1 항에 있어서, 상기 Ta_2O_5 막은 $Ta(OC_2H_5)_5$ 를 근원 물질로 하고, O_2 를 반응 가스로 하는 MOCVD 방법을 이용하여 100 내지 120Å의 두께로 형성하는 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

청구항 8. 제 1 항에 있어서, 상기 Ta_2O_5 막은 50 내지 60Å의 두께로 1차 증착하고, N_2 와 O_2 의 혼합 분위기에서 플라즈마 처리를 실시한 후 50 내지 60Å의 두께로 2차 증착하여 형성하는 것을 특징으로 하는

반도체 소자의 캐패시터 제조 방법.

청구항 9. 제 1 항에 있어서, 상기 Ta_2O_5 막을 형성한 후 N_2 와 O_2 의 혼합 분위기에서 저온 플라즈마 처리를 실시하고, $650^\circ C$ 온도의 N_2 분위기에서 급속 열처리 공정을 실시하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

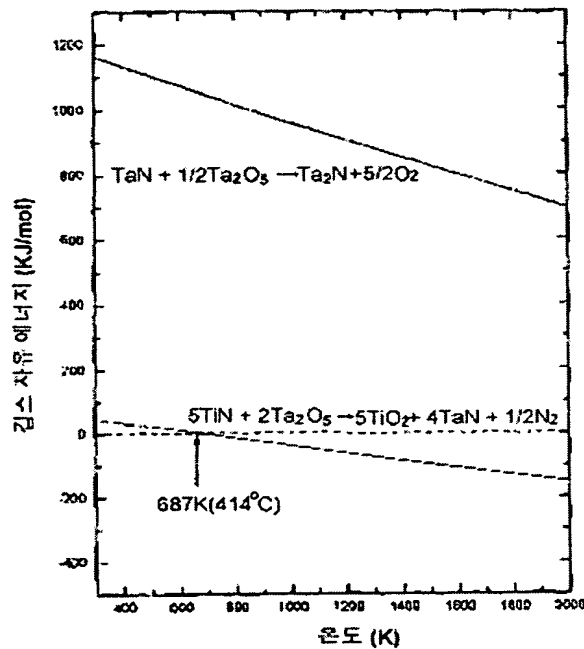
청구항 10. 제 1 항에 있어서, 상기 Ta_2O_5 막을 NH_3 분위기에서 급속 열처리 공정을 실시하여 상기 Ta_2O_5 막의 표면에 TaN 막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

청구항 11. 제 1 항에 있어서, 상기 제 2 TiN 막은 $TiCl_4$ 와 NH_3 를 근원 가스로 하는 CVD 방법으로 500 내지 $700^\circ C$ 의 온도에서 200 내지 500 Å의 두께로 형성하는 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

청구항 12. 제 1 항에 있어서, 상기 제 3 TiN 막은 PVD 방법을 이용하여 200 내지 500 Å의 두께로 형성하는 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

도면

도면1



도 12

